

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

K. Terashima  
Filed 8/21/03  
Q 75721  
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月29日

出 願 番 号

Application Number:

特願2002-249985

[ ST.10/C ]:

[ JP 2002-249985 ]

出 願 人

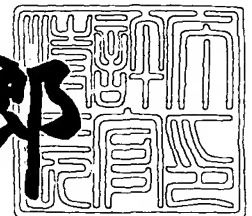
Applicant(s):

日本電気株式会社

2003年 5月20日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3037426

【書類名】 特許願

【整理番号】 34002266

【提出日】 平成14年 8月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/76

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

    【氏名】 寺島 浩一

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100096253

    【住所又は居所】 東京都台東区東上野一丁目19番12号 偕楽ビル

    【弁理士】

    【氏名又は名称】 尾身 祐助

【手数料の表示】

    【予納台帳番号】 003399

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9002137

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法。

【特許請求の範囲】

【請求項 1】 半導体基板にトレンチが形成された素子分離領域を有する半導体装置であって、前記トレンチが、前記半導体基板に接する複数の薄膜を介して素子分離用絶縁体膜で埋め込まれており、前記複数の薄膜が、少なくともシリコン薄膜、および、シリコン酸化膜またはシリコン酸窒化膜を備え、前記シリコン薄膜の方が、前記シリコン酸化膜または前記シリコン酸窒化膜よりも前記基板側にあることを特徴とする半導体装置。

【請求項 2】 前記シリコン酸化膜または前記シリコン酸窒化膜と前記素子分離用絶縁体膜との間に、シリコン窒化膜が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 少なくとも前記素子分離領域の近傍において、前記半導体基板が、その表面から前記トレンチの底面の深さまでの間に、少なくとも 1 層のゲルマニウム薄膜層またはゲルマニウムを成分として有する半導体薄膜層を備えていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記ゲルマニウムを成分として有する半導体薄膜層は、シリコン・ゲルマニウム混晶層または炭素ドーピングのシリコン・ゲルマニウム混晶層であることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記半導体基板は、シリコン基板上に少なくとも前記ゲルマニウム薄膜層または前記ゲルマニウムを成分として有する半導体薄膜層が積層されて構成されていることを特徴とする請求項 3 または 4 に記載の半導体装置。

【請求項 6】 少なくとも前記素子分離領域の近傍において、前記半導体基板が、その表面から前記トレンチの底面の深さまでの間に、前記ゲルマニウム薄膜層または前記ゲルマニウムを成分として含む半導体薄膜層以外に、少なくとも 1 層の他の薄膜層または前記シリコン基板の一部を含んでいることを特徴とする請求項 3 から 5 のいずれかに記載の半導体装置。

【請求項 7】 前記半導体基板の最上層がシリコン薄膜層であることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記素子分離領域のシリコン薄膜と前記半導体基板の最上層のシリコン薄膜層とが連続して形成されていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 前記素子分離用絶縁体膜が、シリコン酸化膜、シリコン酸窒化膜、または、シリコン窒化膜、または、それらの膜のうちの 2 種以上の膜よりなることを特徴とする請求項 1 から 8 のいずれかに記載の半導体装置。

【請求項 10】 前記シリコン基板の直上の薄膜層が絶縁体薄膜層であり、前記トレンチの底面が該絶縁体薄膜層に達していることを特徴とする請求項 5 から 9 のいずれかに記載の半導体装置。

【請求項 11】 (1) 少なくとも 1 層のゲルマニウム薄膜層またはゲルマニウムを成分として有する半導体薄膜層を含む 1 層または複数層の薄膜層が形成された半導体基板をエッチングして、少なくとも 1 層のゲルマニウム薄膜層またはゲルマニウムを成分として有する半導体薄膜層を含む 1 層以上の薄膜層にトレンチを形成する工程と、(2) 該トレンチの底面および側面にシリコン薄膜をエピタキシャル成長させる工程と、(3) 酸化性雰囲気中または酸窒化性雰囲気中にて該シリコン薄膜をその膜厚方向に部分的に熱酸化または熱酸窒化して前記シリコン薄膜の上にシリコン熱酸化膜またはシリコン熱酸窒化膜を形成する工程と、(4) 残りのトレンチ内を素子分離用絶縁体膜により埋め込む工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 12】 前記(1)の工程は、前記半導体基板上にパッド酸化膜とマスク窒化膜とを形成し、前記マスク窒化膜と前記パッド酸化膜とを、形成すべきトレンチのパターン状の開口を有するようにパターニングして前記半導体基板の表面の一部を露出させた後、前記半導体基板の露出された部分をエッチングする工程であることを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 13】 前記半導体基板の最上層の薄膜層がゲルマニウム薄膜層またはゲルマニウムを成分として有する半導体薄膜層であり、前記(1)の工程と前記(2)の工程との間に、前記マスク窒化膜と前記パッド酸化膜とをウェットエッチング法により除去する工程を有し、かつ、前記(2)の工程において、前記トレンチの底面および側面に前記シリコン薄膜をエピタキシャル成長させると

同時に、前記半導体基板の最上層の薄膜層上にもシリコン薄膜層をエピタキシャル成長させることを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】 前記（3）の工程と前記（4）の工程との間に、前記シリコン熱酸化膜または前記シリコン熱酸窒化膜の上に、シリコン窒化膜を形成する工程を有することを特徴とする請求項 1 1 から 1 3 のいずれかに記載の半導体装置の製造方法。

【請求項 1 5】 前記（4）の工程の後に、前記半導体基板の最上層の薄膜層またはその上にエピタキシャル成長されているシリコン薄膜層の上面の高さ以上の高さにある前記素子分離用絶縁体膜を含む全ての薄膜を除去する工程を有することを特徴とする請求項 1 1 から 1 4 のいずれかに記載の半導体装置の製造方法。

【請求項 1 6】 前記素子分離用絶縁体膜が CMP 法（化学機械研磨法）により除去されることを特徴とする請求項 1 5 に記載の半導体装置の製造方法。

【請求項 1 7】 前記（1）の工程において、前記半導体基板またはその一部として、SGOI（シリコン・ゲルマニウムオンインシュレータ）基板または SOI（シリコンオンインシュレータ）基板が用いられ、該 SGOI 基板または SOI 基板の埋込み酸化膜に達するまで前記トレンチが形成されることを特徴とする請求項 1 1 から 1 6 のいずれかに記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は MOS トランジスタ等の半導体装置およびその製造方法に関し、特にシリコン・ゲルマニウム混晶層等の、ゲルマニウムを成分として含む半導体層を有する基板に素子分離構造が形成されている半導体装置およびその製造方法に関する。

##### 【0002】

##### 【従来の技術】

従来から、MOS トランジスタ等の半導体装置の製造においては、個々の素子を電氣的に分離するために素子分離領域が形成される。この素子分離領域の形成

方法として、半導体基板にトレンチと呼ばれる溝を形成し、この溝をシリコン酸化膜等の絶縁体膜で埋め込む技術が知られている。このトレンチを絶縁体膜で埋め込む素子分離技術は、トランジスタの微細化に有利であり、現在、広く用いられている。

#### 【 0 0 0 3 】

このトレンチを絶縁体膜で埋め込む素子分離領域の作製工程を、図 8 を用いて簡単に説明する。まず、図 8 ( a ) に示すように、シリコン基板 5 3 にシリコン酸化膜からなるパッド酸化膜 5 2 A、シリコン窒化膜からなるマスク窒化膜 5 2 B を積層した後、フォトリソグラフィ技術とエッチング技術とを用いて、トレンチを形成する領域のパッド酸化膜 5 2 A およびマスク窒化膜 5 2 B に開口部を設ける。次に、図 8 ( b ) に示すように、マスク窒化膜 5 2 B をマスクとしてドライエッチングを行ない、シリコン基板 5 3 にトレンチ 5 5 を形成した後、トレンチ 5 5 の底部および側面にシリコン熱酸化膜 5 9 を形成する。次いで、図 8 ( c ) に示すように、CVD 法（化学気相成長法）を用いてシリコン酸化膜よりなる素子分離用絶縁体膜 5 7 を堆積し、トレンチを素子分離用絶縁体膜 5 7 によって埋め込む。続いて、図 8 ( d ) に示すように、CMP 法（化学機械研磨法）とエッチング法によって、トレンチより上部にある余分な素子分離用絶縁体膜 5 7、マスク窒化膜 5 2 B およびパッド酸化膜 5 2 A を除去して、素子分離構造の作製工程を完了する。さらに、こうしたトレンチを利用した素子分離技術において、結晶欠陥や応力によるデバイス特性劣化を防ぐための方法が、例えば、特開 2 0 0 1 - 2 6 7 4 1 3 号公報や特開 2 0 0 2 - 1 1 0 7 8 0 号公報に開示されている。いずれの方法においても、トレンチをシリコン酸化膜等の素子分離用絶縁体膜で埋め込む前に、素子分離用絶縁体膜と基板との界面に欠陥や界面準位が発生することを防止するために、トレンチの底部および側面にシリコン熱酸化膜が形成される。

#### 【 0 0 0 4 】

一方、近年、キャリア移動度を増大させることによって MOS トランジスタの性能を向上させるために、シリコン・ゲルマニウム混晶層やシリコン・ゲルマニウム混晶層上の歪みシリコン層をチャネルとして用いた MOS トランジスタが提

案されている。例えば、IEEE Transactions on Electron Devices, Vol.48, No. 8, 1612-1618, 2001には、シリコン・ゲルマニウム混晶層の上に形成された歪みシリコン層をチャネルとする歪みシリコンチャネルMOSトランジスタが報告されている。上記文献によれば、歪みが緩和されたシリコン・ゲルマニウム混晶層の上に積層された薄い歪みシリコン層を持つ基板にp-MOSトランジスタを形成し、通常のシリコン基板にp-MOSトランジスタを形成した場合よりも大きな正孔移動度を得ている。また、同様の歪みシリコン層をチャネルとしたMOSトランジスタやシリコン・ゲルマニウム混晶層をチャネルに用いたMOSトランジスタなど、シリコン・ゲルマニウム混晶層を持つ基板にトランジスタを形成する技術が、例えば、特許第2994227号公報や特許第3221901号公報に開示されている。

#### 【0005】

##### 【発明が解決しようとする課題】

シリコン・ゲルマニウム混晶層を持つ基板に歪みシリコンチャネルMOSトランジスタを形成する際、個々の素子を電氣的に分離する素子分離領域の形成にトレンチを絶縁体膜で埋め込む素子分離方法を用いた場合に、以下のような課題が発生する。

#### 【0006】

第1に、トレンチ形成後の熱酸化工程で、シリコン・ゲルマニウム混晶層が熱酸化されることになる。トレンチ形成後の熱酸化工程は、上述のように、トレンチを埋め込む絶縁体膜と基板との界面に欠陥や界面準位が発生することを防止するために、省略することのできない工程である。シリコン・ゲルマニウム混晶層を熱酸化すると、形成された酸化膜からゲルマニウム原子が掃き出されるために、酸化膜と基板との界面にゲルマニウムが析出し、この析出したゲルマニウムが電子や正孔の再結合中心となったり、転位などの欠陥の発生源となる。その結果、トランジスタのリーク電流が増加し、素子分離領域の電氣的絶縁性が劣化するという問題が生じる。

#### 【0007】

第2に、シリコンとシリコン・ゲルマニウムとの酸化速度が異なるために、シ

リコン・ゲルマニウム混晶層の上にシリコン層が存在するような構造にトレンチを形成し熱酸化すると、シリコン・ゲルマニウム混晶層の酸化膜厚がシリコン層の酸化膜厚よりも大きくなり、素子分離領域のトレンチに形状異常が生じてしまう。このような形状異常が存在すると、その部分に応力の集中が起こるために欠陥が発生してリーク電流が増加するという問題が生じる。

## 【 0 0 0 8 】

本発明は、上記課題に鑑みてなされたものであって、その目的は、シリコン・ゲルマニウム等のゲルマニウムを含む半導体層を有する基板にトレンチによる素子分離構造を形成する際に、熱酸化に伴う界面でのゲルマニウム析出および形状異常が防がれ、それによって、トランジスタ特性劣化を引き起こすことがなく、かつ、高い素子分離性能を有する素子分離構造を持つ半導体装置およびその製造方法を提供することにある。

## 【 0 0 0 9 】

## 【課題を解決するための手段】

上記目的を達成するため、本発明によれば、半導体基板にトレンチが形成された素子分離領域を有する半導体装置であって、前記トレンチが、前記半導体基板に接する複数の薄膜を介して素子分離用絶縁体膜で埋め込まれており、前記複数の薄膜が、少なくともシリコン薄膜、および、シリコン酸化膜またはシリコン酸窒化膜を備え、前記シリコン薄膜の方が、前記シリコン酸化膜または前記シリコン酸窒化膜よりも前記基板側にあることを特徴とする半導体装置、が提供される。

そして、好ましくは、前記半導体基板が、ゲルマニウム薄膜層またはゲルマニウムを成分として有する半導体薄膜層を有する。

## 【 0 0 1 0 】

また、上記目的を達成するため、本発明によれば、（１）少なくとも１層のゲルマニウム薄膜層またはゲルマニウムを成分として有する半導体薄膜層を含む１層または複数層の薄膜層が形成された半導体基板をエッチングして、少なくとも１層のゲルマニウム薄膜層またはゲルマニウムを成分として有する半導体薄膜層を含む１層以上の薄膜層にトレンチを形成する工程と、（２）該トレンチの底面

および側面にシリコン薄膜をエピタキシャル成長させる工程と、（３）酸化性雰囲気中または酸化性雰囲気中にて該シリコン薄膜をその膜厚方向に部分的に熱酸化または熱酸化して前記シリコン薄膜の上にシリコン熱酸化膜またはシリコン熱酸化膜を形成する工程と、（４）残りのトレンチ内を素子分離用絶縁体膜により埋め込む工程と、を有することを特徴とする半導体装置の製造方法、が提供される。

#### 【 0 0 1 1 】

##### 【発明の実施の形態】

次に、本発明の実施の形態について、図面を参照して説明する。

##### 〔第 1 の実施の形態〕

図 1、図 2 は、本発明の第 1 の実施の形態に係る半導体装置における素子分離構造の製造方法を説明するための工程順の断面図である。ここで、シリコン・ゲルマニウム混晶層 1 0 およびシリコン薄膜層 1 1 は、シリコン基板 1 3 上に M B E 法（分子線エピタキシャル成長法）、C V D 法などによって成長させられたものである。シリコン・ゲルマニウム混晶層 1 0 は歪み緩和しており、シリコン薄膜層 1 1 はシリコン・ゲルマニウム混晶層 1 0 に格子整合して歪んでいる。シリコン基板 1 3、シリコン・ゲルマニウム混晶層 1 0、および、シリコン薄膜層 1 1 が、素子分離構造が形成される基板を構成している。

#### 【 0 0 1 2 】

まず、図 1（a）に示すように、シリコン薄膜層 1 1 上にシリコン酸化膜からなるパッド酸化膜 1 2 A、シリコン窒化膜からなるマスク窒化膜 1 2 B を積層した後、フォトリソグラフィ技術とエッチング技術とを用いて、トレンチを形成する領域のパッド酸化膜 1 2 A とマスク窒化膜 1 2 B とにトレンチのパターン状の開口を設ける。パッド酸化膜 1 2 A、マスク窒化膜 1 2 B は、スパッタ法、C V D 法等の通常の成膜プロセスによって形成可能であるが、パッド酸化膜 1 2 A は、特に熱酸化法によって形成されることが多い。次に、図 1（b）に示すように、マスク窒化膜 1 2 B をマスクとしてドライエッチングを行ない、シリコン・ゲルマニウム混晶層 1 0 の内部に達するトレンチ 1 5 を形成する。図 1（b）では、トレンチ 1 5 の側面は基板の主面に垂直になっているが、ドライエッチングの

条件を変えてトレンチ 1 5 の側面を基板主面に対して直角ではないある角度を持って傾斜させてもよい。

#### 【 0 0 1 3 】

次に、図 1 (c) に示すように、シリコン薄膜 1 8 を、トレンチ 1 5 の底面および側面ではシリコン・ゲルマニウム混晶層 1 0 およびシリコン薄膜層 1 1 の表面にエピタキシャル成長し、マスク窒化膜 1 2 B の表面には多結晶またはアモルファスとなるように形成する。このシリコン薄膜 1 8 は、MBE 法、CVD 法など、シリコン薄膜をシリコン・ゲルマニウムおよびシリコン上にエピタキシャル成長させることができる任意の方法で成長可能である。また、シリコン薄膜 1 8 を成長させる前に、トレンチ 1 5 を形成する際に発生するドライエッチングによるダメージを除去するために、ウェットエッチングや熱処理等によるダメージ層除去と表面平坦化の処理を行なうことが望ましい。

#### 【 0 0 1 4 】

次いで、図 2 (a) に示すように、酸化性雰囲気中で加熱することによってシリコン薄膜 1 8 の表面にシリコン熱酸化膜 1 9 を形成する。この時、熱酸化は、シリコン薄膜 1 8 がその厚さ方向に部分的に熱酸化される条件で行なわれる。したがって、シリコン・ゲルマニウム混晶層 1 0 およびシリコン薄膜層 1 1 はまったく酸化されない。これによって、シリコン・ゲルマニウム混晶層 1 0 からゲルマニウムの析出が発生したり、シリコンとシリコン・ゲルマニウム混晶との酸化速度の違いによるトレンチの形状異常が発生したりすることが防止される。ここで、熱酸化方法としては、できるだけ界面準位の生成が少ない熱酸化方法、例えばウェット酸化法を用いることが望ましい。また、不純物の拡散や応力集中を防ぐために、酸窒化性雰囲気中で加熱することによってシリコン薄膜 1 8 の表面に、シリコン熱酸化膜に代えて、シリコン熱酸窒化膜を形成してもよい。ドライ酸化法には  $O_2$  ガス、 $O_3$  ガス、またはそれらの混合ガスを用いることができ、ウェット酸化法には、 $H_2O$  ガス、または  $H_2O$  ガスと  $O_2$  ガスとの混合ガスを用いることができる。熱酸窒化法には、 $NO$  ガス、 $N_2O$  ガス、それらと  $O_2$  ガスとの混合ガス、それらと  $N_2$  ガスとの混合ガスなどを用いることができる。

#### 【 0 0 1 5 】

次に、図 2 (b) に示すように、CVD法を用いてシリコン酸化膜よりなる素子分離用絶縁体膜 17 を堆積し、トレンチを素子分離用絶縁体膜 17 によって埋め込む。その後、図 2 (c) に示すように、CMP法を用いてトレンチより上部にある余分な素子分離用絶縁体膜 17、シリコン熱酸化膜 19、シリコン薄膜 18 を除去し、マスク窒化膜 12 B が露出した時点でCMPを停止し、次いで、ウェットエッチング法を用いてマスク窒化膜 12 B およびパッド酸化膜 12 A を除去して、本実施の形態に係る半導体装置に素子分離構造を作製する製造工程を完了する。

#### 【0016】

この後、通常のMOSトランジスタの製造方法によって、歪みシリコン層をチャネルとするMOSトランジスタを形成することが可能である。本実施の形態では、上述のように、トレンチを埋め込むシリコン酸化膜と基板との界面にゲルマニウムが析出せず、トレンチの形状異常も発生しないので、リーク電流等によるトランジスタ特性劣化が生じない素子分離構造となっている。しかも、本実施の形態では、バンドギャップの小さなシリコン・ゲルマニウム混晶層内のキャリアの拡散がバンドギャップの大きなシリコン層によって防がれるため、より高い素子分離性能が得られる。

#### 【0017】

なお、上述の説明では、シリコン基板 13 上に 1 層のシリコン・ゲルマニウム混晶層と 1 層のシリコン薄膜層とが積層されている基板を用いて本発明の半導体装置に素子分離構造を製造する場合を示したが、本実施の形態の製造方法は、基板に少なくとも 1 層のシリコン・ゲルマニウム混晶層が備えられている半導体装置に適用可能である。例えば、シリコン基板上にシリコン・ゲルマニウム混晶層を積層した基板を用いて、シリコン・ゲルマニウム混晶層をチャネルとするMOSトランジスタを製造する場合や、シリコン・ゲルマニウム混晶層とシリコン層とが交互に積層された超格子構造を用いた半導体装置製造する場合等にも適用され得る。また、シリコン・ゲルマニウム混晶層を備えた基板としては、SGOI（シリコン・ゲルマニウムオンインシュレータ）基板や、SOI基板の上にシリコン・ゲルマニウム混晶層をエピタキシャル成長させた基板も用いられ得る。さ

らには、シリコン・ゲルマニウム混晶層の代わりに、ゲルマニウム層、あるいは炭素をドーピングしたシリコン・ゲルマニウム混晶層を用いることも可能である。また、トレンチを埋め込む素子分離用絶縁体膜としては、シリコン酸化膜に限らず、シリコン酸窒化膜、シリコン窒化膜等の絶縁性を有する物質、または、それらの組み合わせを用いることも可能である。

## 【 0 0 1 8 】

## 〔第 2 の実施の形態〕

図 3 は、本発明の第 2 の実施の形態に係る半導体装置における素子分離構造の断面図である。図 3 において、図 2 (c) に示した第 1 の実施の形態の部分と同等の部分には下 1 桁が等しい参照符号を付し重複する説明を適宜省略する。本実施例が図 2 (c) に示した第 1 の実施の形態と異なる点は、トレンチに埋め込まれた素子分離用絶縁体膜 2 7 とシリコン熱酸化膜 2 9 との間にシリコン窒化膜 2 4 が形成されているという点である。

## 【 0 0 1 9 】

本実施の形態の半導体装置における素子分離構造は、以下のように作製される。まず、図 1 (a) ～図 2 (a) に示す第 1 の実施の形態と同様に、シリコン・ゲルマニウム混晶層 2 0 とシリコン薄膜層 2 1 との積層膜にトレンチを形成し、そのトレンチの側面および底面においてシリコン・ゲルマニウム混晶層 2 0 およびシリコン薄膜層 2 1 の表面にエピタキシャル成長するようにシリコン薄膜 2 8 を成長させ、次いで、シリコン薄膜 2 8 がその厚さ方向に部分的に酸化される条件で熱酸化を行い、シリコン薄膜 2 8 の表面にシリコン熱酸化膜 2 9 を形成する。次に、表面にシリコン窒化膜 2 5 を C V D 法等によって形成した後、トレンチを完全に埋め込むようにシリコン酸化膜よりなる素子分離用絶縁体膜 2 7 を成膜する。その後、第 1 の実施の形態と同様にしてシリコン層 2 1 の上面より上にある余分な膜を除去して本実施の形態の製造工程を完了し、図 3 に示す素子分離構造を得る。

## 【 0 0 2 0 】

本実施の形態の素子分離構造の製造方法は、トレンチを埋め込む素子分離用絶縁体膜 2 7 と基板との界面にゲルマニウムを析出させず、トレンチの形状異常も

発生させないので、第 1 の実施の形態と同様の効果を有する。さらに、本実施の形態の素子分離構造では、トレンチを埋め込む素子分離用絶縁体膜 2 7 とシリコン熱酸化膜 2 9 との間に緩衝層としてのシリコン窒化膜 2 4 が存在しているので、素子分離用絶縁体膜 2 7 による基板への応力が低減し、欠陥がより発生しにくくなるという相乗的な効果が生じる。

なお、トレンチを埋め込む素子分離用絶縁体膜 2 7 としては、第 1 の実施の形態と同様に、シリコン酸化膜、シリコン酸窒化膜、シリコン窒化膜、または、それらの組み合わせを用いることが可能である。

#### 【 0 0 2 1 】

##### 〔第 3 の実施の形態〕

図 4、図 5 は、本発明の第 3 の実施の形態に係る半導体装置における素子分離構造の製造方法を説明するための工程順の断面図である。本実施の形態においては、素子分離構造を作製する基板として、S i 基板 3 3 上に埋込み酸化膜 3 6 を介して S G O I 層 3 0 が形成され、S G O I 層 3 0 の上にシリコン薄膜層 3 1 を有する S G O I 基板を用いている。

#### 【 0 0 2 2 】

まず、図 4 ( a ) に示すように、第 1 の実施の形態と同様に、シリコン薄膜層 3 1 の上にパッド酸化膜 3 2 A、マスク窒化膜 3 2 B を積層した後、トレンチを設ける領域に開口を形成する。次に、図 4 ( b ) に示すように、マスク窒化膜 3 2 B をマスクとしてドライエッチング法によってシリコン薄膜層 3 1 および S G O I 層 3 0 にトレンチ 3 5 を形成するが、このとき、トレンチ 3 5 の底面が埋込み酸化膜 3 6 に達するまでエッチングを行なう。次いで、図 4 ( c ) に示すように、全面にシリコン薄膜 3 8 を成膜させるが、この時、トレンチ側面の S G O I 層 3 0 およびシリコン薄膜 3 1 の表面ではエピタキシャル成長し、トレンチ底面の埋込み酸化膜 3 6 の上ではアモルファスとなるようにシリコン膜層薄膜 3 8 の成膜条件を選ぶ。

#### 【 0 0 2 3 】

次に、図 5 ( a ) に示すように、シリコン薄膜 3 8 を熱酸化するが、この時、トレンチ底面のアモルファス状態のシリコン薄膜 3 8 は、トレンチ側面のエピタ

キシタル成長したシリコン薄膜 3 8 よりも高い熱酸化速度を有する。したがって、底面のシリコン薄膜 3 8 はすべてシリコン酸化膜になり、側面のシリコン薄膜 3 8 はその膜厚方向に部分的にシリコン酸化膜になるように、シリコン薄膜 3 8 の厚さに応じて熱酸化時間を最適化することが可能である。次いで、図 5 (b) に示すように、第 1 の実施の形態と同様の方法で、トレンチを素子分離用絶縁体膜 3 7 で埋め込んだ後、CMP 法とウェットエッチング法を用いてシリコン薄膜層 3 1 の上面より上部にある余分の膜を除去して、本実施の形態の半導体装置における素子分離構造の製造工程を完了する。

## 【 0 0 2 4 】

本実施の形態の素子分離構造が第 1 の実施の形態の素子分離構造と同様の効果を有することは明らかである。さらに、本実施の形態では、素子分離構造を形成するための基板として S G O I 基板を用い、トレンチの底面が S G O I 基板の埋込み酸化膜まで達する構造としているため、トランジスタが形成される個々の活性層領域が、その側面および底面で絶縁体膜によって完全に電氣的に分離される素子分離構造となっている。また、シリコン薄膜 3 8 の熱酸化処理時に、ドライエッチングの際にダメージを受けた S G O I 基板の埋込み酸化膜から欠陥が除かれる効果もある。このため、より高性能の S G O I デバイスを提供することが可能となる。

## 【 0 0 2 5 】

なお、本実施の形態において用い得る、素子分離構造を形成するための基板として、上述の説明においては、S i 基板上に埋込み酸化膜を介して S G O I 層が形成され、S G O I 層の上にシリコン薄膜層が存在する構造が用いられたが、埋込み酸化膜の上に、少なくとも 1 層のゲルマニウムをその 1 成分とする半導体層を有する構造であれば、いずれの構造も適用可能である。また、第 1 の実施の形態と同様に、S O I 基板の上にシリコン・ゲルマニウム混晶層をエピタキシャル成長させた基板も用いられ得る。

## 【 0 0 2 6 】

## 〔第 4 の実施の形態〕

図 6、図 7 は、本発明の第 4 の実施の形態に係る半導体装置における素子分離

構造の製造方法を説明するための工程順の断面図である。本実施の形態においては、素子分離構造を作製する基板として、シリコン基板 4 3 上にシリコン・ゲルマニウム混晶層 4 0 をエピタキシャル成長させたものを用いており、シリコン・ゲルマニウム混晶層 4 0 が最上層となっている。

#### 【 0 0 2 7 】

まず、図 6 ( a ) に示すように、第 1 の実施の形態と同様の工程によって、シリコン・ゲルマニウム混晶層 4 0 の上にパッド酸化膜 4 2 A、マスク窒化膜 4 2 B を積層した後、シリコン基板 4 3 の内部に達するトレンチ 4 5 を形成する。ここで、パッド酸化膜 4 2 A は、素子分離構造を作製する基板の一番上の層がシリコン・ゲルマニウム混晶層であるので、C V D 法で形成されるのが望ましい。次いで、図 6 ( b ) に示すように、エッチングによってマスク窒化膜 4 2 B およびパッド酸化膜 4 2 A を除去する。次に、図 6 ( c ) に示すように、トレンチ 4 5 の側面および底面においてシリコン基板 4 3 およびシリコン・ゲルマニウム混晶層 4 0 の表面にシリコン薄膜 4 8 をエピタキシャル成長させると、トレンチ以外の部分の基板表面にもシリコン・ゲルマニウム混晶層 4 0 が露出しているので、この部分にもシリコン薄膜がエピタキシャル成長する。即ち、全面に渡って、シリコン薄膜 4 8 がエピタキシャル成長する。

#### 【 0 0 2 8 】

次いで、図 7 ( a ) に示すように、シリコン薄膜 4 8 をその膜厚方向に部分的に酸化するように熱酸化してシリコン熱酸化膜 4 9 を形成した後、シリコン窒化膜 4 4 を積層する。その後、図 7 ( b ) に示すように、トレンチをシリコン酸化膜よりなる素子分離用絶縁体膜 4 7 で埋め込んだ後、CMP 法を用いてトレンチより上部にある余分な素子分離用絶縁体膜 4 7 を除去し、シリコン窒化膜 4 4 が露出した時点で CMP を停止し、次いで、ウェットエッチング法を用いてトレンチ以外にあるシリコン窒化膜 4 4 を除去して、本実施の形態に係る半導体装置における素子分離構造を作製する製造工程を完了する。

#### 【 0 0 2 9 】

本実施の形態の素子分離構造は、シリコン熱酸化膜 4 9 と素子分離用絶縁体膜 4 7 との間に緩衝層となるシリコン窒化膜 4 4 が存在するので、第 2 の実施の形

態の素子分離構造と同様の効果を有する。また、シリコン窒化膜 4 4 には、CMP 法を用いて化学機械研磨する際のストッパ層としての働きもある。

#### 【 0 0 3 0 】

さらに、本実施の形態では、シリコン薄膜 4 8 は、シリコン・ゲルマニウム混晶層 4 0 の上にエピタキシャル成長しており、シリコン・ゲルマニウム混晶層 4 0 が歪緩和していれば、その上のシリコン薄膜層は歪みシリコン層となる。素子分離構造作製後、この歪みシリコン層をチャンネルとして、通常の MOS トランジスタの製造方法に従って MOS トランジスタを形成すれば、歪みチャンネル MOS トランジスタが形成できる。また、トレンチ形成後に歪チャンネルとなるシリコン薄膜層がエピタキシャル成長されるので、歪チャンネルとなるシリコン薄膜層に、ドライエッチングによるダメージが発生したり、トレンチ形成に伴う応力の開放に起因する欠陥が発生したりするということがない。さらには、歪チャンネルとなるシリコン薄膜層と素子分離のためのシリコン薄膜とが同時に形成されることになり、高価なエピタキシャル成長の工程数を削減することができるという効果もある。

#### 【 0 0 3 1 】

また、本実施の形態においても、他の実施の形態と同様に、素子分離構造形成のための基板として、シリコン・ゲルマニウム混晶層の代わりにゲルマニウム層、あるいは炭素をドーブしたシリコン・ゲルマニウム混晶層を持つ基板や SGOI 基板、シリコン・ゲルマニウム混晶層やゲルマニウム層をその表面にエピタキシャル成長された SOI 基板等も使用可能である。また、トレンチを埋め込む素子分離用絶縁体膜として、シリコン酸化膜に限らず、シリコン酸窒化膜、シリコン窒化膜等の、絶縁性を有する物質を用いることもできる。

#### 【 0 0 3 2 】

##### 【発明の効果】

以上説明したように、本発明の半導体装置の製造方法は、ゲルマニウムを成分として含む半導体層を有する基板に素子分離構造を製造する工程において、トレンチ形成後にその側面および底面にシリコン薄膜をエピタキシャル成長させ、それを膜厚方向に部分的に熱酸化してシリコン熱酸化膜を形成するものであるから

、ゲルマニウムを成分として含む半導体層ならびに基板を構成するその他の層が酸化されることがない。これによって、シリコン熱酸化膜およびシリコン薄膜とゲルマニウムを成分として含む半導体層との界面で、ゲルマニウムの析出が発生したり、形状異常が発生したりすることを防止することが可能である。

【0033】

また、本発明の半導体装置は、素子分離用絶縁体膜とゲルマニウムを含む半導体層との間にそれよりもバンドギャップの大きいシリコン層が存在するものであるから、さらに高い素子分離性能を発揮することが可能である。

【0034】

また、本発明の半導体装置は、SGOI基板あるいはSOI基板を基板とするものであるから、トランジスタが形成される個々の活性層領域を、その側面および底面において絶縁体膜によって完全に電氣的に分離することが可能である。

また、本発明の半導体装置の製造方法は、トレンチ形成後に熱酸化処理を行なうものであるから、トレンチ作製時のドライエッチングによってダメージを受けたSGOI基板あるいはSOI基板の埋込み酸化膜から欠陥を除去し、これによって、より高性能のSOIデバイスを提供することが可能である。

【0035】

また、本発明の半導体装置の製造方法は、ゲルマニウムを含む半導体層が最表面にある基板にトレンチを形成した後、全面にシリコン薄膜をエピタキシャル成長させて、素子分離層のためのシリコン薄膜を成長させるとともに、表面にもシリコン薄膜層を成長させるようにするものであるから、高価なエピタキシャル成長の工程数を削減することを可能にするとともに、表面にエピタキシャル成長されたシリコン薄膜層を歪チャンネルとする歪みチャンネルMOSトランジスタの作製を可能とし、さらに、歪チャンネルとなるシリコン層に、ドライエッチングによるダメージが発生したり、トレンチ形成に伴う応力の開放に起因する欠陥が発生したりするということを防止することが可能である。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る半導体装置の素子分離構造の製造方法を説明するための工程順の断面図の一部。

【図 2】 本発明の第 1 の実施の形態に係る半導体装置の素子分離構造の製造方法を説明するための、図 1 に続く工程の工程順の断面図。

【図 3】 本発明の第 2 の実施の形態に係る半導体装置の素子分離構造の断面図。

【図 4】 本発明の第 3 の実施の形態に係る半導体装置の素子分離構造の製造方法を説明するための工程順の断面図の一部。

【図 5】 本発明の第 3 の実施の形態に係る半導体装置の素子分離構造の製造方法を説明するための、図 4 に続く工程の工程順の断面図。

【図 6】 本発明の第 4 の実施の形態に係る半導体装置の素子分離構造の製造方法を説明するための工程順の断面図の一部。

【図 7】 本発明の第 4 の実施の形態に係る半導体装置の素子分離構造の製造方法を説明するための、図 6 に続く工程の工程順の断面図。

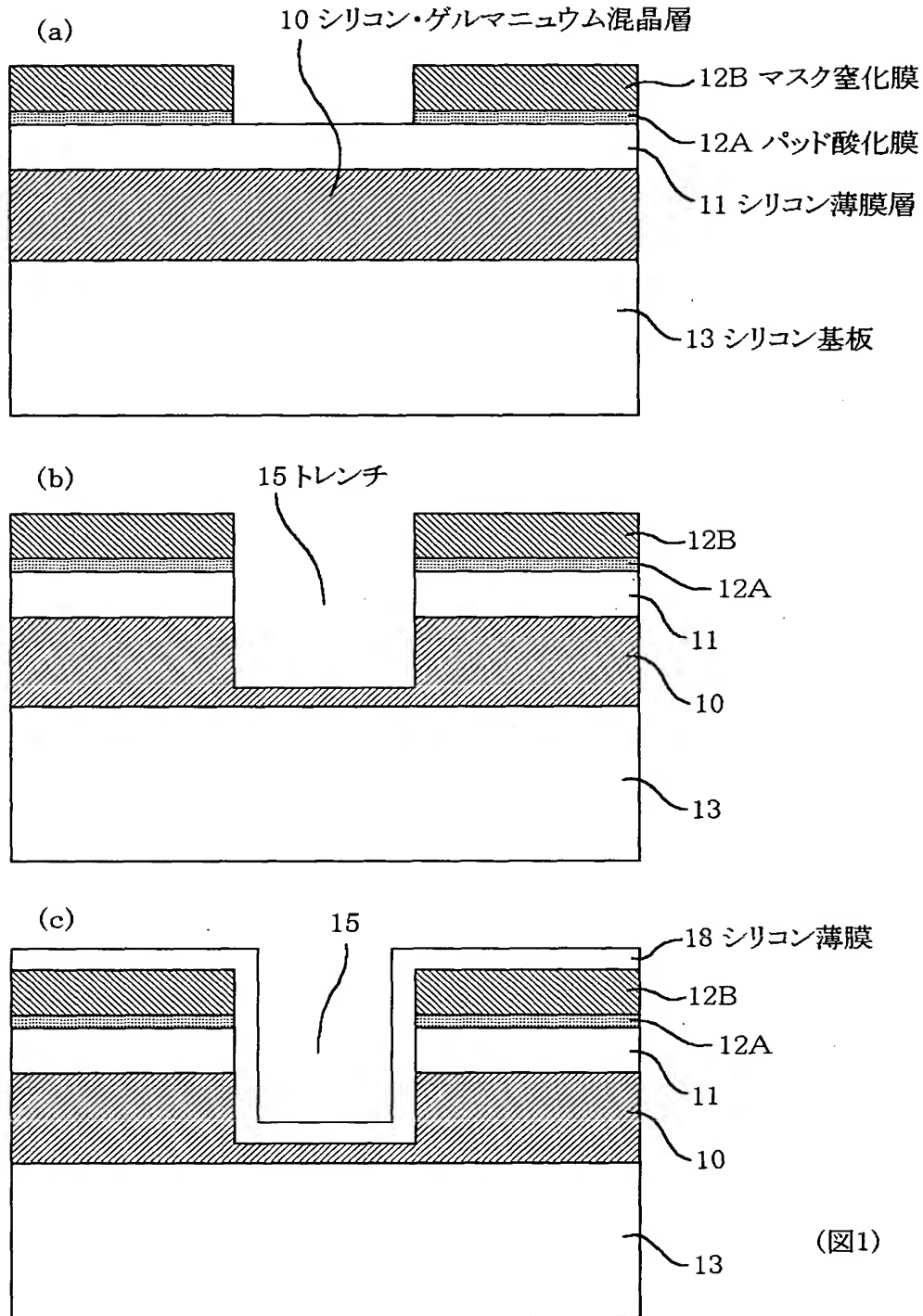
【図 8】 従来の素子分離構造の製造方法を説明するための工程順の断面図。

【符号の説明】

- 1 0、2 0、4 0 シリコン・ゲルマニウム混晶層
- 1 1、2 1、3 1 シリコン薄膜層
- 1 2 A、3 2 A、4 2 A、5 2 A パッド酸化膜
- 1 2 B、3 2 B、4 2 B、5 2 B マスク窒化膜
- 1 3、2 3、3 3、4 3、5 3 シリコン基板
- 2 4、4 4 シリコン窒化膜
- 1 5、3 5、4 5、5 5 トレンチ
- 1 7、2 7、3 7、4 7、5 7 素子分離用絶縁体膜
- 1 8、2 8、3 8、4 8 シリコン薄膜
- 1 9、2 9、3 9、4 9、5 9 シリコン熱酸化膜
- 3 0 SGOI 層
- 3 6 埋込み酸化膜

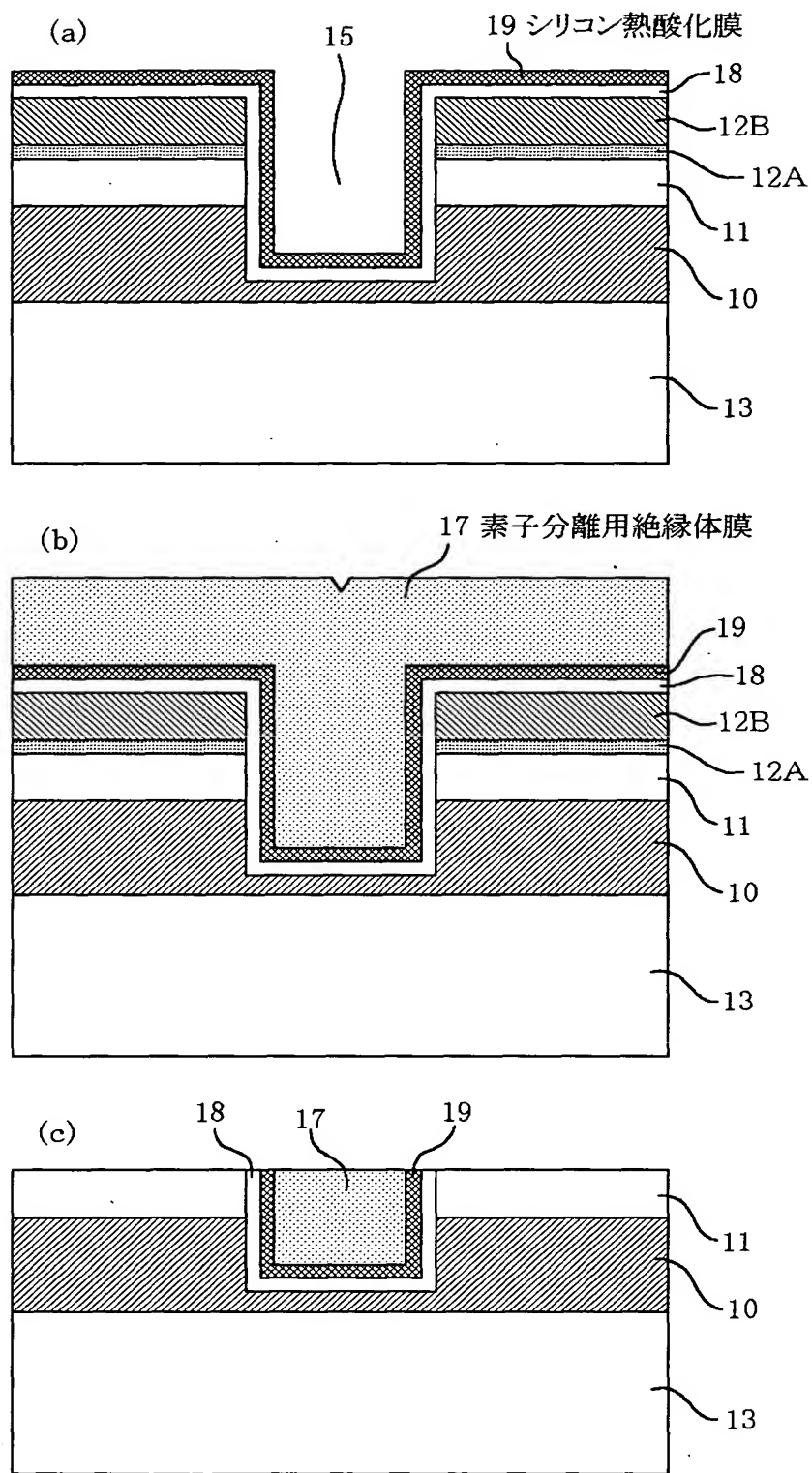
【書類名】 図面

【図1】



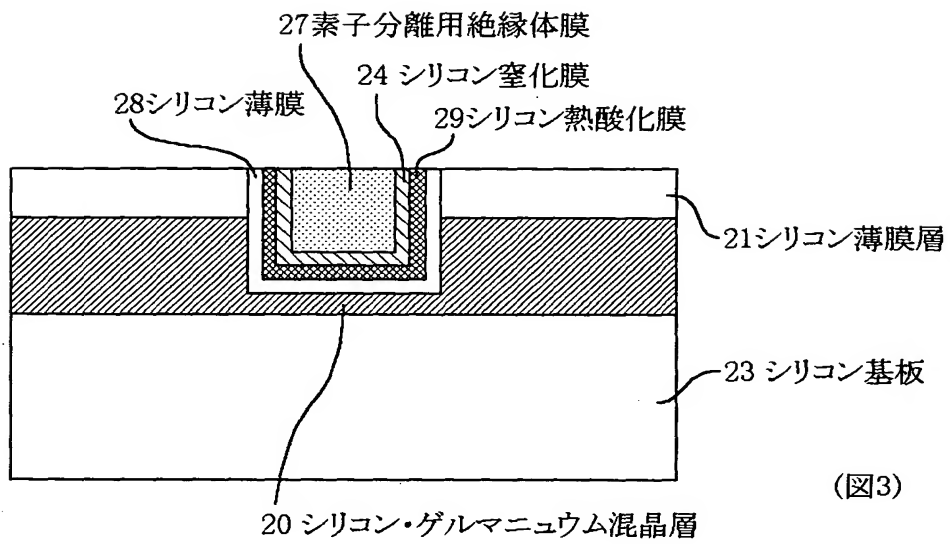
(図1)

【図 2】

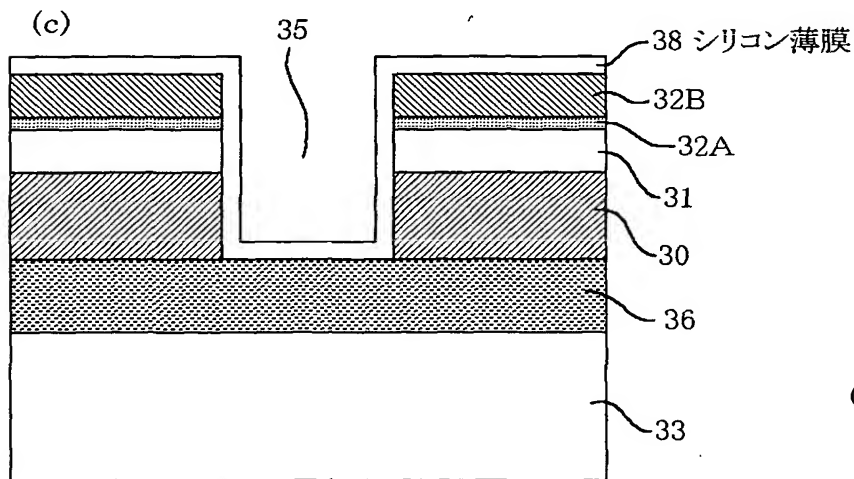
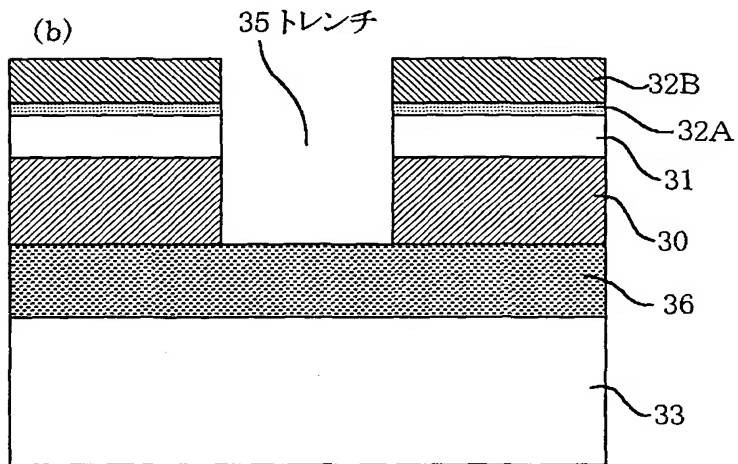
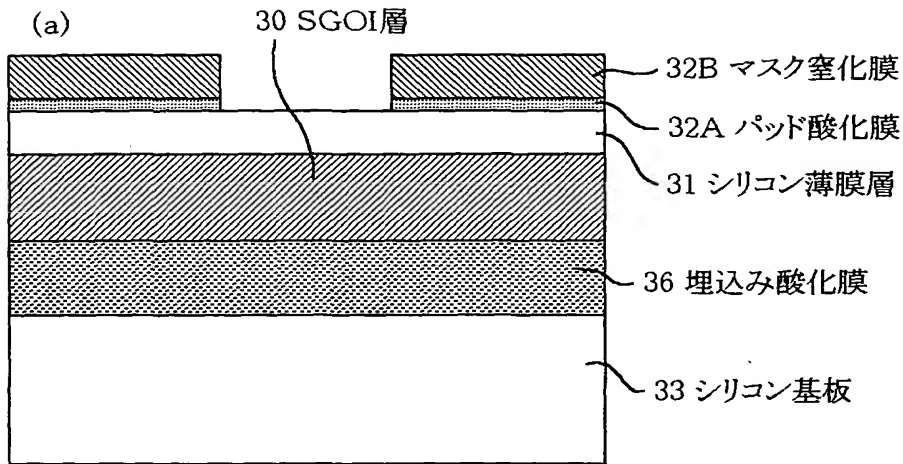


(図2)

【図 3】

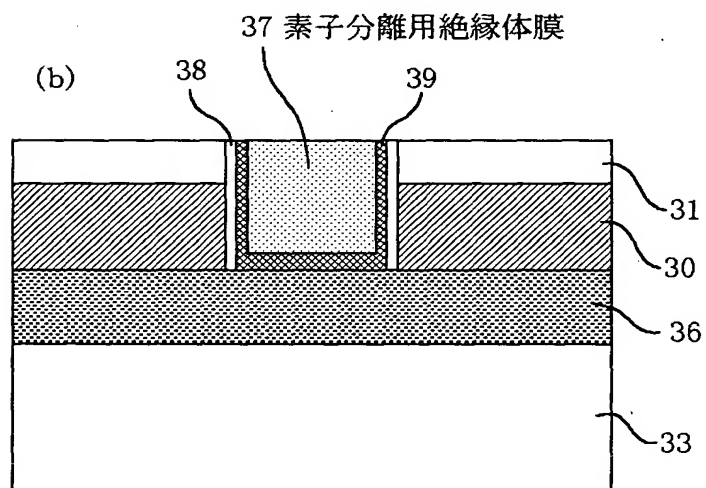
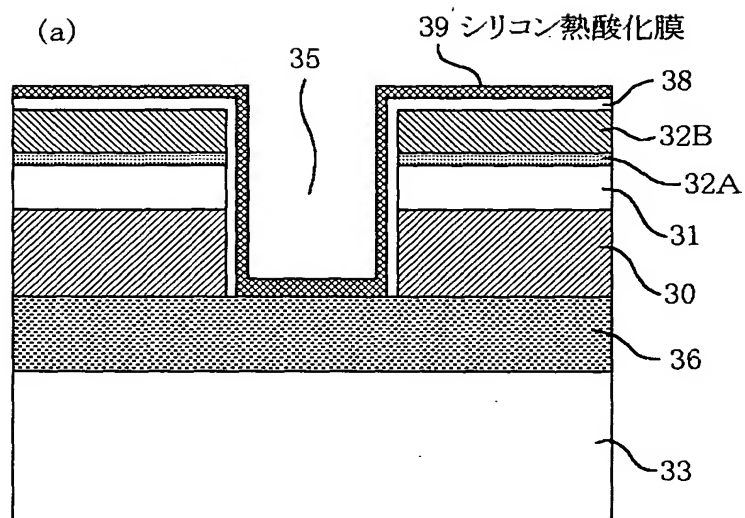


【図 4】



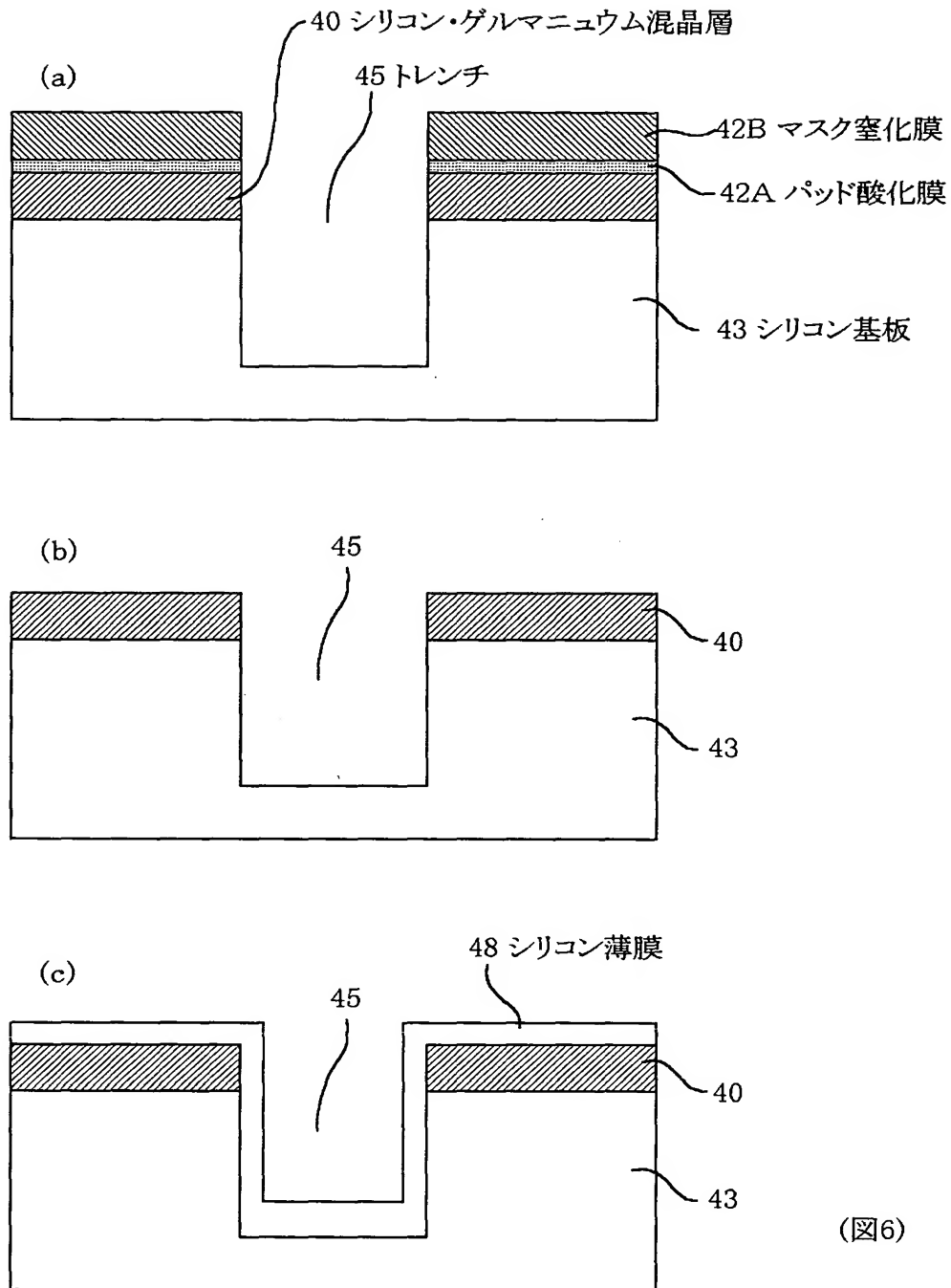
(図4)

【図 5】



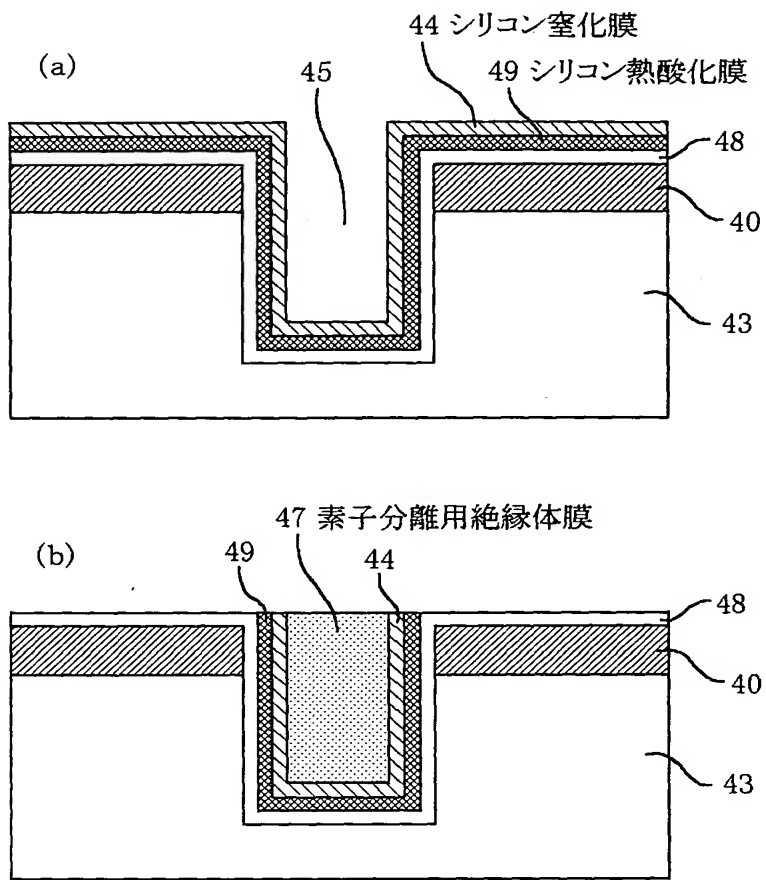
(図5)

【図 6】



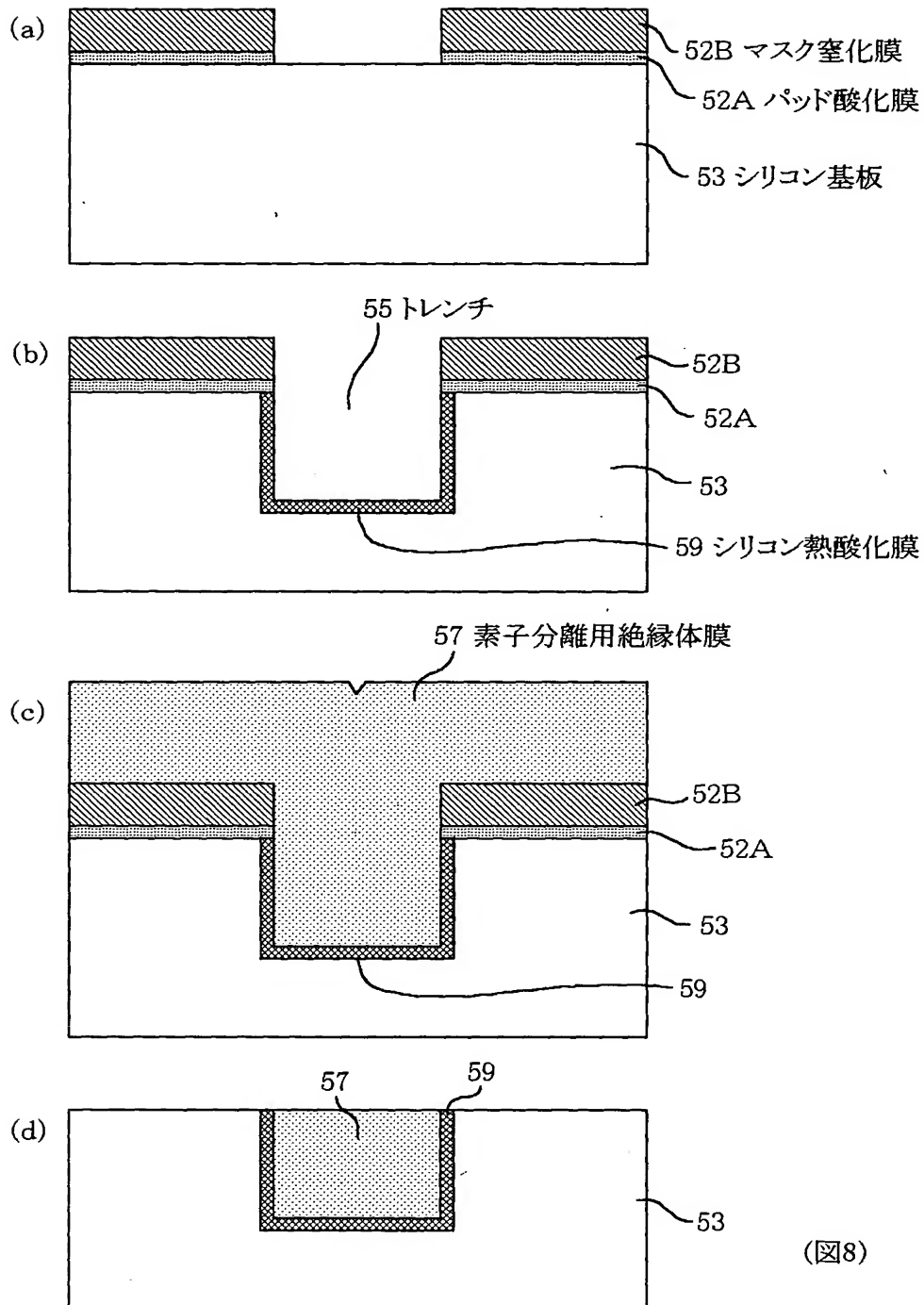
(図6)

【図 7】



(図7)

【図 8】



(図8)

【書類名】            要約書

【要約】

【課題】    ゲルマニウムを成分とする半導体薄膜層を含む１層以上の薄膜層を有する基板にトレンチ素子分離構造を形成するにあたって、トレンチへの素子分離用絶縁体膜の埋込み後に結晶欠陥や表面準位が発生・増大しないようにトレンチの側面および底面を熱酸化する際に、ゲルマニウムの析出や、薄膜層間の熱酸化速度の違いによるトレンチ側面の形状異常が発生したりすることを防止する。

【解決手段】    シリコン・ゲルマニウム混晶層１０とシリコン薄膜層１１とに渡ってトレンチ１５を形成し、トレンチ１５の底面および側面にシリコン薄膜１８をエピタキシャル成長させ、それを膜厚方向に部分的に熱酸化してシリコン熱酸化膜１９を形成する。したがって、シリコン・ゲルマニウム混晶層１．０およびシリコン薄膜層１１が酸化されることがない。これによって、ゲルマニウムの析出が発生したり、形状異常が発生したりすることを防止することが可能である。

【選択図】            図１

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 東京都港区芝五丁目7番1号  
氏 名 日本電気株式会社